

INPUT PROTECTION CIRCUIT, POWER CONTROL CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP8008707

Publication date: 1996-01-12

Inventor(s): ASHIKAGA KAZUO; others: 01

Applicant(s): FUJITSU LTD

Requested Patent: JP8008707

Application Number: JP19940140558 19940622

Priority Number(s):

IPC Classification: H03K17/687

EC Classification:

Equivalents:

Abstract

PURPOSE: To provide an input protection circuit which use the characteristic of an FET to protect an input circuit by transmitting the voltage (signals) less than a pre scribed level, to perform the power control by means of the FET characteristic, and to supply a stable drive signal to a liquid crystal display unit.

CONSTITUTION: An input protection circuit contains a protection transistor TR T1 which is connected to an input circuit 11. The control voltage VG is supplied to the gate of the TR T1, and a signal is inputted to the drain of the TR T1 respectively. Then the output VOUT of a level less than the voltage obtained by subtracting the gate-source voltage Vgs from the control voltage is outputted through the source of the TR T1. A power control circuit 23 contains an output circuit 12, an output TR T2 and a signal detection circuit 13. The TR T2 receives the processing voltage VO at its drain and outputs the output voltage VOUT of a level less than the voltage obtained by subtracting the gate-source voltage Vgs from the gate control voltage VH through its source based on a power control signal S1. In the liquid crystal display device, a liquid crystal drive means 14 includes the TR T1 and the circuit 23.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-8707

(43)公開日 平成8年(1996)1月12日

(51)Int.Cl.⁸
H 03 K 17/687

識別記号

庁内整理番号

F I

技術表示箇所

0836-5K

H 03 K 17/ 687

G

審査請求 未請求 請求項の数4 OL (全9頁)

(21)出願番号 特願平6-140558

(22)出願日 平成6年(1994)6月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 足利 和雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 佐藤 直人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

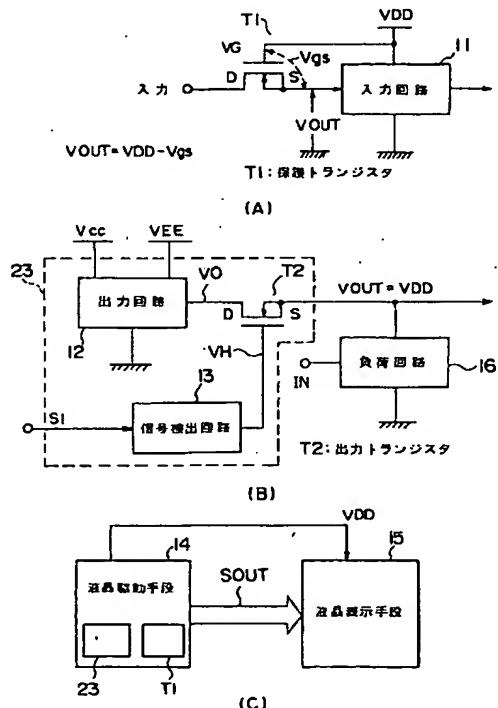
(74)代理人 弁理士 岡本 啓三

(54)【発明の名称】 入力保護回路、電源制御回路及び液晶表示装置

(57)【要約】

【目的】 入力保護回路、電源制御回路及び液晶表示装置に関し、電界効果トランジスタの性質を利用し、一定値以下の電圧(信号)を通過させて入力回路を保護すること、その性質を利用して電源制御を行うこと、及び、安定な状態の液晶駆動信号を液晶表示ユニット等に供給する。

【構成】 入力保護回路は、入力回路1 1に接続された保護トランジスタT 1を備え、このゲートに制御電圧V Gを供給し、そのドレンに信号を入力し、制御電圧からゲート・ソース間電圧V gsを差し引いた電圧以下の出力V OUTをソースから出力する。電源制御回路は、出力回路1 2、出力トランジスタT 2及び信号検出回路1 4を備え、該トランジスタT 2は、ドレンに加工電圧V Oを入力し、電源制御信号に基づいて、ゲート制御電圧V Hからゲート・ソース間電圧V gsを差し引いた電圧以下の出力電圧V OUTをソースから出力する。液晶表示装置は、液晶駆動手段1 4に本発明の保護トランジスタT 1及び電源制御回路2 3を有する。



【特許請求の範囲】

【請求項 1】 信号を入力する入力回路と、前記入力回路に接続された保護トランジスタとを備え、前記保護トランジスタのゲートに制御電圧を供給し、前記保護トランジスタのドレインに信号を入力し、前記制御電圧からゲート・ソース間電圧を差し引いた電圧以下の出力をソースから取り出すことを特徴とする入力保護回路。

【請求項 2】 前記保護トランジスタのゲートは、前記入力回路の駆動電源に接続されることを特徴とする請求項 1 記載の入力保護回路。

【請求項 3】 信号加工して加工電圧を出力する出力回路と、前記加工電圧をゲート制御電圧に基づいて出力制御をする出力トランジスタと、電源制御信号に基づいて前記ゲート制御電圧を出力する信号検出回路とを備え、前記出力トランジスタのドレインに前記加工電圧を入力し、前記制御電圧からゲート・ソース間電圧を差し引いた電圧以下の出力電圧をソースから取り出すことを特徴とする電源制御回路。

【請求項 4】 駆動電源及び液晶表示信号を出力する液晶駆動手段と、前記駆動電源及び液晶表示信号に基づいて液晶表示をする液晶表示手段とを備え、前記液晶駆動手段に請求項 1 記載の保護トランジスタ及び請求項 3 記載の電源制御回路を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力保護回路、電源制御回路及び液晶表示装置に関するものであり、更に詳しく言えば、一定電圧（信号）以下を通過させる素子、その応用回路及び装置に関するものである。近年、半導体集積回路（以下 LSI という）装置の高集積及び高密度技術の発達に伴い、TFT（Thin Film Transistor）を集積化した液晶表示装置（LCD）が製造されている。これは、CRT（陰極線管）装置に比べて薄型軽量であることから、一般家庭用のTVだけでなく、OA機器の表示装置に普及しつつある。

【0002】 ところで、従来例の液晶表示装置によれば、液晶電源発生ユニットの出力部にオペアンプが用いられ、当該アンプと液晶表示ユニットのデータドライバとが信号ケーブルにより接続されている。このため、オペアンプの正・負電源の印加順序によっては、液晶表示信号に通常使用電圧よりも高い電圧が重畳されることがあり、当該ドライバを破損する恐れがある。

【0003】 そこで、電界効果トランジスタの性質を利用し、一定値以下の電圧（信号）を通過させて入力回路を保護すること、それを利用して電源制御を行うこと、及び、安定な状態の液晶駆動信号を液晶表示ユニット等に供給することができる回路及び装置が望まれている。

【0004】

【従来の技術】 図 7 は、従来例に係る液晶制御回路の出力回路の構成図である。例えば、液晶表示ユニットに液晶表示信号 S OUT を出力する液晶制御回路の出力回路は、図 7 に示すように、オペアンプ OP 及び帰還抵抗 R 1 を備える。オペアンプ OP は正電源 VCC 及び負電源 VEE に接続され、また、この出力回路は信号ケーブルを介して液晶表示ユニットに接続される。

【0005】 当該回路の機能は、例えば、映像信号加工された入力信号 S IN がオペアンプ OP の非反転入力 (+) に入力されると、それがインピーダンス変換（低インピーダンス）される。これにより、オペアンプ OP に出力電圧が現れ、これが信号ケーブルを介して液晶表示ユニットのデータドライバに液晶表示信号 S OUT として出力される。

【0006】

【発明が解決しようとする課題】 ところで、従来例によれば、液晶制御回路の出力部等に見られるようなオペアンプ OP を含む出力回路と、液晶表示ユニットのアナログデータドライバとが信号ケーブルにより接続されている。このため、オペアンプ OP の正・負電源 VCC, VEE の印加順序によっては、液晶表示信号 S OUT に通常使用電圧よりも高い電圧が重畳されることがあり、データドライバを破損する恐れがある。例えば、オペアンプ OP の負電源 VEE の投入時刻が正電源 VCC よりも遅れたり、オペアンプ OP の正電源 VCC より負電源 VEE の遮断時刻が遅れたりすると、その出力が通常使用電圧よりも高くなる。

【0007】 このような原因には、信号加工回路 1 から信号が出力されているが、負荷の電源 VDD が供給されていない場合、信号加工回路 1 が故障して通常使用電圧よりも高い電圧が出力された場合、信号加工回路 1 の調整を失敗した場合、及び、オペアンプ OP は動作しているが、負荷の駆動電源が入っていない場合等が考えられる。

【0008】 このような状態の液晶表示信号 S OUT がアナログデータドライバに出力されると、そのアナログ電源電圧を越える場合が考えられる。このような場合に、アナログデータドライバ（以下入力回路ともいう）が破損する恐れがある。本発明は、かかる従来例の問題点に鑑み創作されたものであり、電界効果トランジスタの性質を利用し、一定値以下の電圧（信号）を通過させて入力回路を保護すること、その性質を利用して電源制御を行うこと、及び、安定な状態の液晶駆動信号を液晶表示ユニット等に供給することが可能となる入力保護回路、電源制御回路及び液晶表示装置の提供を目的とする。

【0009】

【課題を解決するための手段】 図 1 (A) ~ (C) は、本発明に係る入力保護回路、電源制御回路及び液晶表示装置の原理図をそれぞれ示している。本発明の入力保護

回路は、図1 (A) に示すように、信号を入力する入力回路11と、前記入力回路11に接続された保護トランジスタT1とを備え、前記保護トランジスタT1のゲートに制御電圧VGを供給し、前記保護トランジスタT1のドレインに信号を入力し、前記制御電圧からゲート・ソース間電圧Vgsを差し引いた電圧以下の出力VOUTをソースから取り出すことを特徴とする。

【0010】本発明の入力保護回路において、前記保護トランジスタT1のゲートは、前記入力回路11の駆動電源VDDに接続されることを特徴とする。本発明の電源制御回路は、信号加工して加工電圧VOを出力する出力回路12と、前記加工電圧VOをゲート制御電圧VHに基づいて出力制御をする出力トランジスタT2と、電源制御信号S1に基づいて前記ゲート制御電圧VHを出力する信号検出回路14とを備え、前記出力トランジスタT2のドレインに前記加工電圧VOを入力し、前記ゲート制御電圧VHからゲート・ソース間電圧Vgsを差し引いた電圧以下の出力電圧VOUTをソースから取り出すことを特徴とする。

【0011】本発明の液晶表示装置は、駆動電源VDD及び液晶表示信号SOUTを出力する表示駆動手段14と、前記駆動電源VDD及び液晶表示信号SOUTに基づいて液晶表示をする液晶表示手段15とを備え、前記液晶駆動手段14に本発明の保護トランジスタT1及び本発明の電源制御回路23を有することを特徴とし、上記目的を達成する。

【0012】

【作用】次に本発明の入力保護回路の動作を説明する。例えば、電界効果トランジスタから成る保護トランジスタT1のゲートに、入力回路11の駆動電源VDDが供給される。このため、ドレイン入力電圧が、制御電圧VGからゲート・ソース間電圧Vgsを差し引いた電圧以下となる範囲では、当該保護トランジスタのソースに現れる出力電圧VOUTは、制御電圧VGをパラメータとした場合に、入力電圧に依存する。しかし、入力電圧がこの電圧VG-Vgs以上となる範囲では、ソースに現れる出力電圧VOUTは、入力電圧に無関係なVOUT=VG-Vgsとなる。

【0013】すなわち、VG-Vgs以下の範囲の入力電圧がドレインに入力された場合には、この電圧に依存する出力電圧VOUTをソースから取り出すことができる。また、VG-Vgs以上の範囲の入力電圧がドレインに入力された場合には、この電圧に無関係に一定値の出力電圧VOUT=VG-Vgsをソースから取り出すことが可能となる。

【0014】このため、電源投入時、定常使用時及び電源切断時を通して、入力回路11の入力を常にVDD-Vgs以下に制限することが可能となる。これにより、保護トランジスタT1によって通常使用電圧よりも高い電圧の侵入を阻止することができ、入力回路11を保護す

ることが可能となる。このことで、液晶表示ユニット等の入力回路11に安定した状態の信号を出力することが可能となる。

【0015】本発明の電源制御回路の動作を説明する。例えば、正電源VCC及び負電源VEEの供給を受けて出力回路12により加工された出力電圧VOUTが、出力トランジスタT2のドレインに出力される。この時点で、例えば、電源制御信号S1を検出した信号検出回路13から出力トランジスタT2にゲート制御電圧VH=「H」レベルが出力されると、出力トランジスタT2はON動作する。このとき、出力トランジスタT2のゲート・ソース間の電圧をVgs(閾値Vth)とすると、トランジスタT2のソースに現れる電圧VOUTは、常に、VH-Vgs以下に制限される。

【0016】これにより、出力電圧VOUT=VH-Vgsを利用して、負荷回路16に供給する駆動電源のシーケンス制御をすることが可能となる。本発明の液晶表示装置の動作を説明する。例えば、液晶駆動手段14の出力部に、当該保護トランジスタT1が設置され、液晶駆動手段15の駆動電源VDDが、当該トランジスタT1のゲートに接続される。このため、電源投入時、定常使用時及び電源切断時を通して、液晶駆動手段15の入力を常にVDD-Vgs以下に制限することが可能となる。

【0017】これにより、当該トランジスタT1によって通常使用電圧よりも高い電圧の侵入を阻止することができ、液晶表示手段15を保護することが可能となる。このことで、液晶表示手段15に安定した状態の液晶表示信号SOUTを出力することが可能となる。また、本発明の液晶表示装置によれば、液晶駆動手段14の電源部に本発明の電源制御回路が適用される。このため、出力電圧VOUT=VH-Vgsを利用して、液晶表示手段15に供給する複数の駆動電源の投入順序を調整する電源シーケンス制御をすることが可能となる。

【0018】これにより、高信頼度の液晶表示装置の提供に寄与するところが大きい。

【0019】

【実施例】次に、図を参照しながら本発明の実施例について説明をする。図2~6は、本発明の実施例に係る入力保護回路、電源制御回路及び液晶表示装置の説明図である。図2は、本発明の実施例に係る液晶ディスプレイ装置の構成図であり、図3は、その表示出力回路の構成図である。図4(A)は表示出力回路の電源立ち上げ時の波形図であり、図4(B)はそのトランジスタの入出力特性図である。図5は、液晶ディスプレイ装置の電源制御回路の構成図をそれぞれ示している。

【0020】例えば、原理図1(A)、(B)に示した入力保護回路及び電源制御回路を応用した液晶ディスプレイ装置は、図2に示すように、液晶駆動ユニット26及び液晶表示ユニット27を備える。液晶駆動ユニット26は図1(C)の液晶駆動手段14の一例であり、信

号加工&制御回路22及び電源回路25から成る。例えば、信号加工&制御回路22は画像表示データDINに基づいてクロック信号、垂直同期信号、水平同期信号、電源制御信号S1、駆動制御信号S2及び走査制御信号S3等を発生する。

【0021】電源制御信号S1は電源回路25に出力され、駆動制御信号S2はアナログデータドライバ29に出力され、走査制御信号S3はゲートドライバ30にそれぞれ出力される。なお、当該ユニット26に本発明の入力保護回路を適用した表示出力回路21が設けられる。当該回路21は、液晶表示信号SOUTをアナログデータドライバに出力する。この回路21については図3において説明する。画像表示データDINは、例えば、パソコンコンピュータ（以下パソコンという）32から供給される。

【0022】電源回路25は、電源制御信号S1に基づいて+1.2～1.7V程度の駆動電圧VDD1をアナログデータドライバ29に出力する。また、当該回路25は、例えば、-5V程度の駆動電圧VDD2をアナログデータドライバ29及びゲートドライバ30に出力し、液晶表示パネル31にコモン電圧Vmをそれぞれ出力する。なお、電源回路25に本発明の電源制御回路23が設けられる。当該回路23については図5において説明する。

【0023】液晶表示ユニット27は液晶表示手段15の一例であり、アナログデータドライバ29、ゲートドライバ30及び液晶表示パネル31を有する。データドライバ29は、駆動電圧VDD1、VDD2と、液晶表示信号SOUTと、駆動制御信号S2とを受けて、アナログデータを発生し、これによる液晶駆動電圧を液晶表示パネル31に出力するものである。

【0024】ゲートドライバ30は、駆動電圧VDD1、VDD2及び走査制御信号S3に基づいて液晶表示パネル31の画素電極を走査するものである。液晶表示パネル31は、TFTを集積化したものである。次に、表示出力回路21の内部構成を説明する。例えば、ユニット26の信号加工&制御回路22の出力部に適用され、入力回路11の一例となるアナログデータドライバ29に液晶表示信号SOUTを出力する表示出力回路21は、図3に示すように、オペアンプOP、帰還抵抗R1、出力抵抗R2及びn型の電界効果トランジスタT1を備える。

【0025】例えば、オペアンプOPの非反転入力(+)は、前段の映像信号加工回路20の出力に接続される。オペアンプOPの反転入力(-)は、帰還抵抗R1の一端に接続される。帰還抵抗R1の他端は、オペアンプOPの出力とトランジスタT1のドレインに接続される。なお、オペアンプOPは+2.4V程度の駆動電源VCCに接続される。

【0026】n型の電界効果トランジスタT1は図1(A)の保護トランジスタの一例であり、ソース・ゲート間電圧Vgs(=閾値Vth)が2.5V程度である。

トランジスタT1は本来、アナログデータドライバ29側に設けるのが好ましいが、本発明の実施例では、表示出力回路21の出力部に設けている。これにより、データドライバ29の入力部にゆとりができる。トランジスタT1のソースは、アナログデータドライバ29と出力抵抗R2に接続され、そのゲートが当該ドライバ29の駆動電源VDD1に接続される。

【0027】トランジスタT1は、図4(A)に示すように、データドライバ29の駆動電源VDD1の立ち上がりに応じて液晶表示信号SOUTをデータドライバ29に出力する。すなわち、トランジスタT1は、ドレン入力が駆動電圧VDD以下の電圧範囲では、当該トランジスタT1のソースに現れる出力電圧VOUTは、駆動電圧VDDをパラメータとした場合に、入力に依存する。しかし、入力が駆動電圧VDD以上の電圧範囲では、ソースに現れる出力電圧VOUTは、入力に無関係なVOUT=VDD-Vgsとなる。

【0028】この関係を図4(B)の入出力特性に示す。図4(B)において、駆動電圧VDDをパラメータ、すなわち、VDD11<VDD12<VDD13とした場合に、出力電圧VOUT1はVDD11-Vgsとなり、VOUT2はVDD13-Vgsとなり、VOUT3はVDD13-Vgsとなる。次に、電源制御回路23の内部構成を説明する。例えば、電源回路25の出力部に適用され、負荷回路16の一例となるアナログデータドライバ29及びゲートドライバ30に駆動電圧VDD2を供給する電源制御回路23は、図5に示すように、抵抗R01、R02、入力抵抗R1、電流供給型オペアンプOP1、帰還抵抗R2、保護ダイオードD、n型の電界効果トランジスタT2、電源投入検出回路24、電源監視回路28及び電解コンデンサC0を備える。

【0029】抵抗R01、R02、入力抵抗R1、電流供給型オペアンプOP1、帰還抵抗R2及び保護ダイオードDは図1(B)の出力回路12の一例を構成するものである。抵抗R01及びR02は直列接続され、それが電源線VCC/接地線GND間に接続され、例えば、電圧値=5Vが設定される。この電圧値は入力抵抗R1により安定化され、オペアンプOP1に基準電圧VINとして供給される。

【0030】オペアンプOP1は帰還抵抗R2の一端とダイオードDのアノードに接続される。帰還抵抗R2の他端はオペアンプOP1の反転入力部(-)に接続される。ダイオードDのカソードはトランジスタT2のドレインに接続される。オペアンプOP1は正電源VCC及び負電源VEEに接続される。オペアンプOP1は正電源VCC及び負電源VEEの供給を受け、基準電圧VINを電流増幅して出力電圧VOUTを出力する。

【0031】n型の電界効果トランジスタT2は図1(C)の出力トランジスタT2の一例であり、ゲート制御電圧VHを入力して出力電圧VOUTを駆動電源VDD2として電源監視回路28及び各ドライバ29、30に供

給する。トランジスタT2のソースは、電源監視回路2-8の抵抗Rt及び電解コンデンサC0の一端にそれぞれ接続される。トランジスタT2のゲートは検出回路24の抵抗R5及びトランジスタQ2のコレクタにそれぞれ接続される。

【0032】電源投入検出回路24は信号検出回路13の一例であり、電源制御信号S1を検出してゲート制御電圧VHをトランジスタT2に出力する。当該検出回路24は、例えば、駆動トランジスタQ2、入力抵抗R3及び負荷抵抗R4を有する。電源監視回路28は抵抗Rt、キャパシタCt及び電源監視IC28Aを有する。抵抗Rtはプルアップ用であり、キャパシタCtはリセット時間を設定する。電源監視回路28は出力電圧VOUTを監視し、一定時間後に、当該電源回路25の内部回路に制御信号S1を出力する。

【0033】次に、本発明の実施例に係る液晶ディスプレイ装置の表示出力回路及び電源制御回路の動作を説明する。図6は、その電源制御回路の動作波形図をそれぞれ示している。例えば、表示出力回路の駆動電源VCCとアナログデータドライバ29の駆動電源VDD1との間に、VCC>VDD1の関係を有し、図3に示したような表示出力回路21の保護トランジスタT1のゲートに、アナログデータドライバ29の駆動電源VDD1=15Vが供給され、それが立ち上がる。この駆動電源VDD1の立ち上がりによって、トランジスタT1のゲートには

「L」→「H」レベルに遷移する信号が印加され、トランジスタT1はOFF→ON動作に遷移し導通状態となる。

【0034】この際に、アナログデータドライバ29に入力される液晶表示信号SOUTは、図4に示すように、常にVDD1-Vgs(閾値Vth)以下に制限される。このことで、駆動電源VCCの立ち上がり時の高電圧がトランジスタT1によって阻止され、アナログデータドライバ29が保護される。また、当該ドライバ29に安定した液晶表示信号SOUTが出力される。

【0035】次に、本発明の電源制御回路の動作を説明する。例えば、正電源VCC及び負電源VEEの供給を受けて電源制御回路23により電流増幅された出力電圧VOUTが、トランジスタT2のドレンに印加される。この時点で、例えば、図5に示したように、電源制御信号S1を検出した電源投入検出回路24からトランジスタT2に、図6に示すようなゲート制御電圧VH=「H」レベルが出力されると、トランジスタT2はON動作する。これにより、正電源VCC及び負電源VEEの供給を受けたオペアンプOP1からトランジスタT2のドレンに、基準電圧VINを電流増幅した安定な出力電圧VOUTが出力される。

【0036】このとき、トランジスタT2のゲート・ソース間の電圧をVgs(閾値Vth)とすると、トランジスタT2のソースに現れる出力電圧VOUTは、常に、V

H-Vgs以下に制限される。これにより、各ドライバ29、30に供給する駆動電圧VDD2=5Vがゲート制御電圧VHに基づいて電源制御回路23により電源シーケンス制御される。本発明の実施例では、最初に駆動電圧VDD2を各ドライバ29、30に供給し、次いで、駆動電圧VDD1をドライバ29に供給し、最後に、液晶表示信号SOUTを当該ドライバ29に供給する電源シーケンスを探る。

【0037】このようにして、本発明の実施例に係る液晶ディスプレイ装置によれば、図2及び図3に示すように、液晶駆動ユニット26及び液晶表示ユニット27を備え、当該ユニット26に、保護トランジスタT1を有する表示出力回路21が設けられる。このため、表示出力回路21の駆動電源の投入時刻よりも遅れて、アナログデータドライバ29の駆動電源VDDが立ち上げられた場合、トランジスタT1のゲートには「L」→「H」レベルに遷移する信号が印加され、トランジスタT1はOFF→ON動作に遷移し導通状態となる。

【0038】また、表示出力回路21の遮断時であって、この遮断時刻よりも前に、アナログデータドライバ29の駆動電源VDDが立ち下げられた場合でも、トランジスタT1のゲートには「H」→「L」レベルに遷移する信号が印加され、トランジスタT1はON→OFF動作に遷移し非導通状態となる。このことから、電源投入時、定常使用時及び電源切断時を通して、ユニット26の表示出力回路21からユニット27のアナログデータドライバ29に出力される液晶表示信号SOUTを常にトランジスタT1によりVDD1-Vgs以下に制限することが可能となる。

【0039】これにより、表示出力回路21及びドライバ29の駆動電源VCC、VDDの印加順序によって発生することがある異常電圧、すなわち、駆動電源VDD1よりも高い駆動電圧VCCが、表示出力回路21からドライバ29に侵入する現象を断つことができ、アナログデータドライバ29を良好な状態に維持できる。また、本発明の実施例に係る液晶ディスプレイ装置によれば、図5に示すように、トランジスタT2及び電源投入検出回路24を有する電源制御回路23が設けられる。

【0040】このため、電源投入検出回路24からのゲート制御電圧VHに基づいてトランジスタT2をスイッチ制御することにより、VDD2=VH-Vgs以下の駆動電圧を電源制御回路23からアナログデータドライバ29及びゲートドライバ30に供給すること、及び、電源監視IC28によりVDD2の供給から遅れて駆動電源VDD1をドライバ29に供給することが可能となる。

【0041】このことで、低い駆動電圧VDD2=-5Vが最初に各ドライバ29、30に供給され、次いで、それよりも高い駆動電圧VDD1=15Vがドライバ29に供給され、最後に、液晶表示信号SOUTが当該ドライバ29に供給されることで、アナログデータドライバ29

を安定して立ち上げることができる。また、電源制御回路23の正電源VCC及び負電源VEEの投入時刻よりも遅れて、電圧VHが立ち上げられ、それがトランジスタT2に供給されると、トランジスタT2のゲートには「L」→「H」レベルに遷移する信号が印加され、トランジスタT2はOFF→ON動作に遷移し導通状態となる。

【0042】これにより、正電源VCC及び負電源VEEの供給を受けた電源制御回路23から出力トランジスタT2のドレインに、安定な出力電圧VOが outputされる。このことから、それをトランジスタT2を介して各ドライバ29, 30に安定して出力することが可能となる。また、正電源VCC及び負電源VEEの遮断時であって、この遮断時刻よりも前に、ゲート制御電圧VHが立ち下げられた場合、トランジスタT2のゲートには「H」→「L」レベルに遷移する信号が印加され、トランジスタT2はON→OFF動作に遷移し非導通状態となる。

【0043】これにより、負電源VEEに遅れて正電源VCCが電源制御回路23から断たれた場合でも、不安定な状態の出力電圧VOUTがトランジスタT2により阻止され、各ドライバ29, 30には出力されない。このため、電源制御回路23の正電源VCC及び負電源VEEの印加順序によって発生することがある異常電圧から、各ドライバ29, 30を保護することが可能となる。

【0044】これにより、当該表示ユニット27では液晶表示信号SOUT、駆動電圧VDD1, VDD2、駆動制御信号S2及び走査制御信号S3に基づいて液晶表示をすることができ、従来例に比べて高信頼度の液晶表示装置の提供に寄与するところが大きい。なお、本発明の実施例では、電界効果トランジスタの追加と、そのゲート制御を工夫することで、電源シーケンスを容易に実行することができる。また、回路が簡単で安価であり、部品点数が少なく信頼性が高い。

【0045】本発明の実施例では、表示出力回路21及び電源制御回路23の場合について説明したが、これに限らず、各種回路の入力保護及び各種電源シーケンス制御に限らずスイッチ素子を適用することできる。

【0046】

【発明の効果】以上説明したように、本発明の入力保護回路によれば、ゲートが入力回路の駆動電源に接続され、該駆動電源からゲート・ソース間電圧を差し引いた電圧以下の出力をソースから取り出す保護トランジスタが具備される。このため、電源投入時、定常使用時及び電源遮断時を通して、入力回路の入力を、常に、該入力回路の駆動電源からゲート・ソース間電圧を差し引いた電圧以下に制限することができる。このことで、保護トランジスタによって通常使用電圧よりも高い電圧の侵入を阻止することができ、入力回路を保護することができる。

【0047】本発明の電源制御回路によれば、ドレイン

に加工電圧を入力し、電源制御信号に基づいて、ゲート制御電圧からゲート・ソース間電圧を差し引いた電圧以下の出力電圧をソースから取り出す出力トランジスタが設けられる。このため、ゲート制御電圧からゲート・ソース間電圧を差し引いた電圧以下の出力をを利用して、各種負荷回路に供給する駆動電源のシーケンス制御をすることが可能となる。

【0048】本発明の液晶表示装置によれば、駆動電源及び液晶表示信号を outputする表示制御手段に、本発明の入力保護回路及び電源制御回路が備えられる。このため、電源投入時、定常使用時及び電源遮断時を通して、当該保護回路によって通常使用電圧よりも高い電圧の侵入を阻止することができ、液晶駆動手段を保護することが可能となる。また、ゲート制御電圧からゲート・ソース間電圧を差し引いた電圧以下の出力をを利用して、複数の駆動電源の投入順序を調整する電源シーケンス制御をすることが可能となる。

【0049】これにより、各種入力回路の保護強化を図ること、及び、各負荷回路の電源シーケンス機能の向上を図ることができ、これらを応用した高信頼度の液晶表示装置の提供に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明に係る入力保護回路、電源制御回路及び液晶表示装置の原理図である。

【図2】本発明の実施例に係る液晶ディスプレイ装置の構成図である。

【図3】本発明の実施例に係る表示出力回路の構成図である。

【図4】本発明の実施例に係る表示出力回路の電源立ち上げ時の波形図及び保護トランジスタの入出力特性図である。

【図5】本発明の実施例に係る電源制御回路の構成図である。

【図6】本発明の実施例に係る電源制御回路の動作波形図である。

【図7】従来例に係る液晶制御回路の出力回路の構成図である。

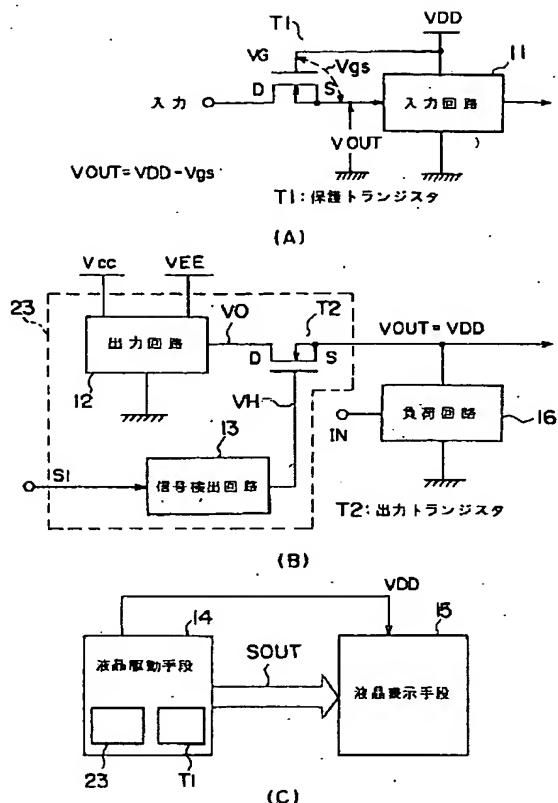
【符号の説明】

T1…保護トランジスタ、
T2…出力トランジスタ、
1 1…入力回路、
1 2…出力回路、
1 3…信号検出回路、
1 4…液晶駆動手段、
1 5…液晶表示手段、
2 3…電源制御回路、
VOUT…出力電圧、
SOUT…液晶表示信号、
VDD…駆動電源、
VG…制御電圧、

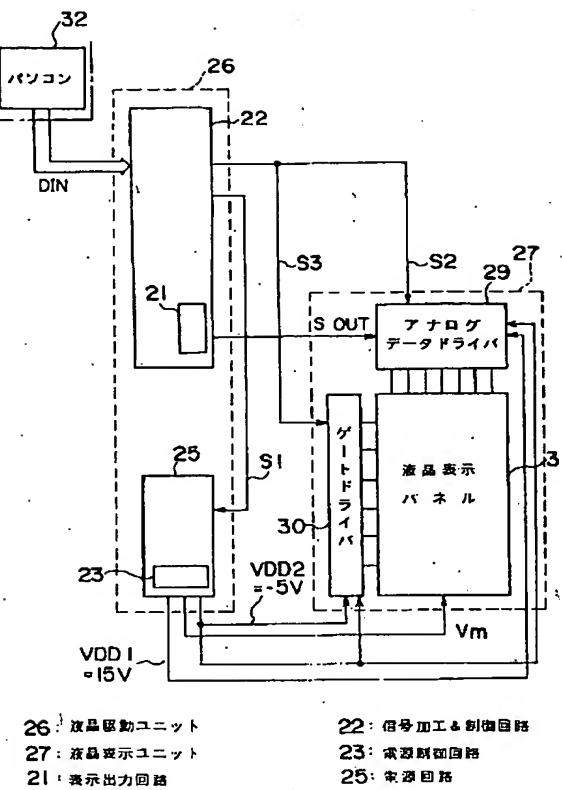
VH…ゲート制御電圧、
S1…電源制御信号、

V_{GS} …ゲート・ソース間電圧(閾値 V_{th})。

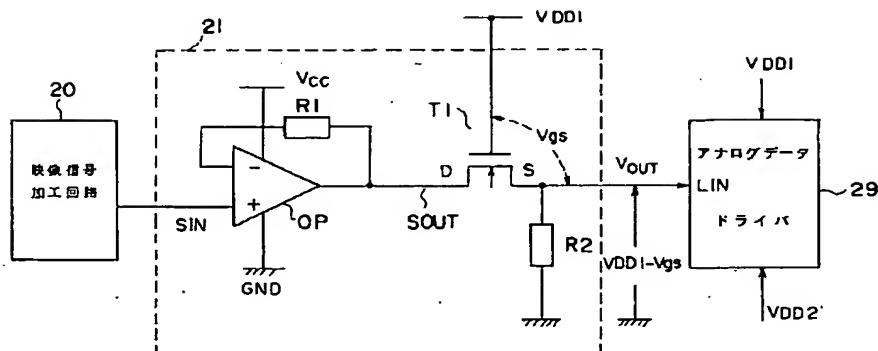
【图 1】



[図2]



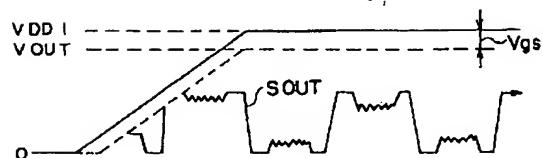
【図3】



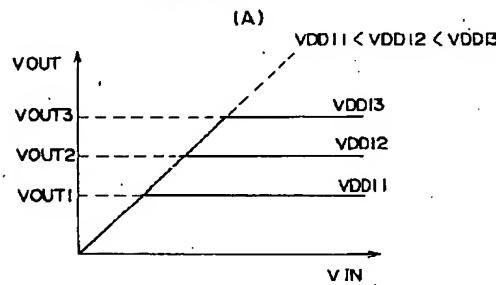
21：映像出力回路

TI: n型電界効果トランジスタ

【図4】



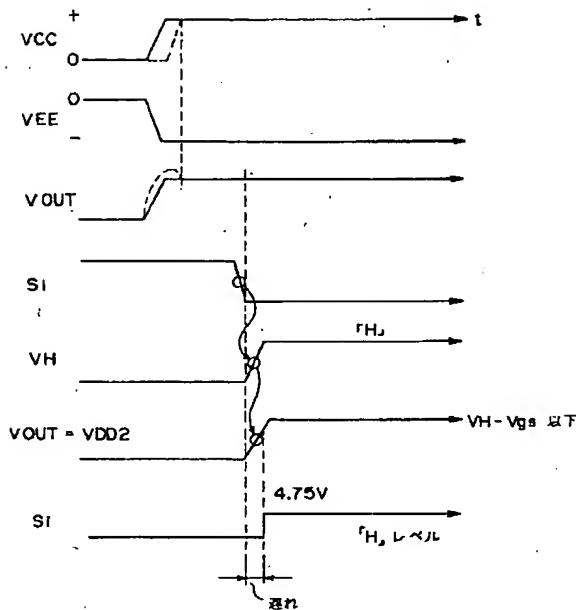
$V_{OUT} = VDD1 - Vgs$
 Vgs : ゲート・ソース間電圧 (V_{th})
 $SOUT$: 映像表示信号



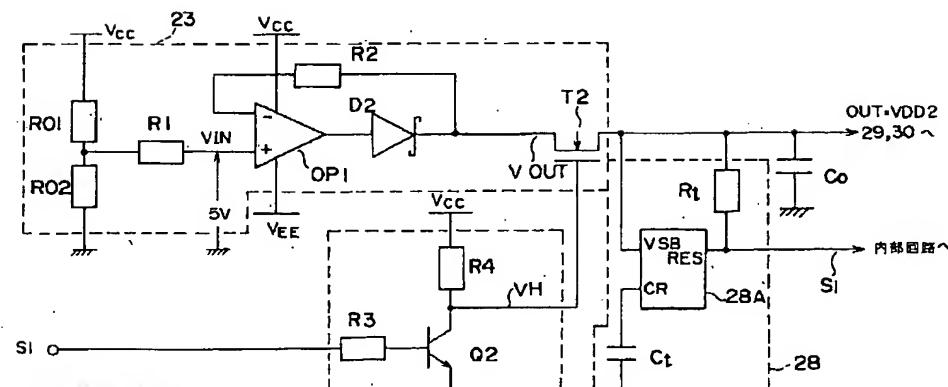
$$\begin{aligned}
 VOUT 1 &= VDDII - Vgs \\
 VOUT 2 &= VDDI2 - Vgs \\
 VOUT 3 &= VDDI3 - Vgs
 \end{aligned}$$

(B)

【図6】



【図5】



23: 電源制御回路
 24: 電源投入/取出回路
 28A: 電源監視 I.C
 28: 電源監視回路

【図 7】

